

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

INUKAI et al.

Application No. Unassigned

Filed: May 20, 2004

Art Unit: Unassigned

Examiner: Unassigned

For: METHOD FOR MANUFACTURING SEMICONDUCTOR
DEVICE

CLAIM OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

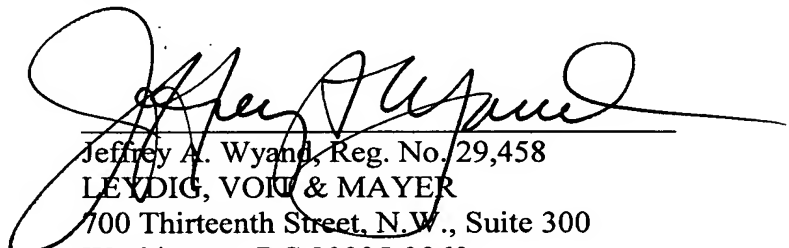
Dear Sir:

In accordance with the provisions of 35 USC 119, Applicants claim the priority of the following application:

Application No. 2003-143302, filed in Japan on May 21, 2003.

A certified copy of the above-listed priority document is enclosed.

Respectfully submitted,



Jeffrey A. Wyand, Reg. No. 29,458
LEYDIG, VOIT & MAYER
700 Thirteenth Street, N.W., Suite 300
Washington, DC 20005-3960
(202) 737-6770 (telephone)
(202) 737-6776 (facsimile)

Date: May 20, 2004

JAW/maa

Priority Claim (Revised 5/20/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 4 3 3 0 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 4 3 3 0 2]

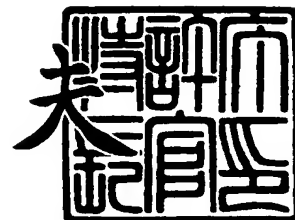
出 願 人 株式会社半導体先端テクノロジーズ
Applicant(s):

特許庁
長官
印

2 0 0 4 年 3 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 02PR023A

【提出日】 平成15年 5月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/768
H01L 21/3065

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 犬飼 和明

【発明者】

【住所又は居所】 茨城県つくば市小野川 1 6 番地 1 株式会社半導体先端
テクノロジーズ内

【氏名】 松下 篤志

【特許出願人】

【識別番号】 597114926

【氏名又は名称】 株式会社半導体先端テクノロジーズ

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100120569

【弁理士】

【氏名又は名称】 大阿久 敦子

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0214704

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 導電層が形成された半導体基板の上にストッパー膜を形成する工程と、

前記ストッパー膜の上に低誘電率材料からなる層間絶縁膜を形成する工程と、

前記層間絶縁膜の上にハードマスクを形成する工程と、

前記ハードマスクの上に所定のパターンを有するレジスト膜を形成する工程と、

前記レジスト膜をマスクとして前記ハードマスクおよび前記層間絶縁膜をエッチングし、前記ストッパー膜に達する開孔部を形成する工程と、

前記レジスト膜を残した状態で前記開孔部に露出しているストッパー膜をエッチングしビアホールを形成する工程と、

前記ビアホールを形成した後に前記レジスト膜をアッシングして除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ビアホールの内面にバリアメタル膜を形成する工程と、
前記ビアホールの内部に前記バリアメタル膜を介して銅層を埋め込む工程とをさらに有する請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記アッシングは、水素と不活性ガスとの混合ガスを用いて 2 0 0 ℃～4 0 0 ℃の温度で行われる請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記不活性ガスに対して前記水素を 1 体積％～1 0 体積％混合する請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記導電層は銅配線層である請求項 1 ～4 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 6】 前記層間絶縁膜は、多孔性 SiO_2 膜、 SiOC 膜および SiOG 膜よりなる群から選ばれる 1 の膜である請求項 1 ～5 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 7】 前記ストッパー膜は、 SiC 膜、 Si_xN_y 膜、 SiCN 膜

および SiOC 膜よりなる群から選ばれる 1 の膜である請求項 1～6 のいずれか 1 に記載の半導体装置の製造方法。

【請求項 8】 前記ハードマスクは SiO₂ 膜または Si_xN_y 膜である請求項 1～7 のいずれか 1 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造方法に関し、より詳しくは、低誘電率絶縁膜を用いたダマシン法による半導体装置の製造方法に関する。

【0002】

【従来の技術】

近年、半導体デバイスの高速化は著しく、多層配線部における配線抵抗と配線間や配線層間の寄生容量に起因する信号伝搬速度の低下による伝送遅延が問題となってきた。こうした問題は、半導体デバイスの高集積化に伴う配線幅および配線間隔の微細化につれて配線抵抗が上昇し且つ寄生容量が増大するので、益々顕著となる傾向にある。

【0003】

配線抵抗および寄生容量の増大に基づく信号遅延を防止するために、従来より、アルミニウム配線に代わる銅配線の導入が行われるとともに、層間絶縁膜として低誘電率の絶縁膜（以下、Low-k 膜という。）を用いることが試みられてきた。

【0004】

Low-k 膜を用いた銅配線の形成方法としては、ダマシン法によるものがある。これは、銅がアルミニウムに比較してエッチングレートの制御が困難であることに鑑み、銅をエッチングせずに配線を形成する技術として知られている。

【0005】

図 2 および図 3 を用いて、ダマシン法による従来の銅配線形成工程について説明する。尚、これらの図において、同じ符号で示した部分は同じものであることを示している。

【0006】

まず、図2(a)に示すように、銅配線層20が形成されたシリコン基板21の上に、ストッパー膜22を形成する。ここで、銅配線層20はバリアメタル膜20aと銅層20bとを有している。次に、ストッパー膜22の上にLow-k膜23を形成した後、Low-k膜23の上にハードマスク24を形成して、図2(b)に示す構造とする。続いて、ハードマスク24、Low-k膜23およびストッパー膜22をエッチングし、図2(c)に示すビアホール25および配線溝26を形成する。その後、ビアホール25および配線溝26の内面にバリアメタル膜27を形成し、ビアホール25および配線溝26に銅層28を埋め込んで、ビアプラグ29および銅配線層30を形成する。以上の工程によって、シリコン基板21に形成された銅配線層20と上層の銅配線層30とがビアプラグ29を介して電氣的に接続された銅配線を形成することができる(図2(d))。

【0007】

【発明が解決しようとする課題】

上記の工程において、ビアホール25の形成は、具体的には次のようにして行われる。まず、図3(a)に示すように、ハードマスク24の上に所定のパターンが形成されたレジスト膜31を形成する。そして、フォトリソグラフィ法によって、ハードマスク24およびLow-k膜23をエッチングし、ストッパー膜22に達する開孔部32を形成する(図3(b))。その後、不要となったレジスト膜31をアッシングによって除去した後、開孔部32から露出しているストッパー膜22aをエッチングすることによってビアホール33が形成される(図3(c))。

【0008】

しかしながら、従来のストッパー膜22aのエッチング工程においては、ストッパー膜22aとともにハードマスク24もエッチングされていた。また、エッチングによりハードマスク24が消失した部分では、露出した下地のLow-k膜23もエッチングされていた。これにより、ビアホール33の部分におけるこれらの断面形状が、図3(c)に示すようなテーパ形状を有するようになるという問題があった。Low-k膜23がテーパ形状に加工されると、所望の開孔寸

法を有する銅配線構造を形成することができなくなり、半導体装置の電気特性は低下する。

【0009】

また、レジスト膜31のアッシングは酸素プラズマなどによって行われるが、この際にLow-k膜23がプラズマダメージを受けて変質するという問題もあった。このようなダメージは、特に、2.5より低い誘電率を有する多孔質のLow-k膜で顕著なものとなる。

【0010】

本発明は上記の問題点に鑑みてなされたものである。即ち、本発明の目的は、パターン形状の良好な銅配線を形成することのできる半導体装置の製造方法を提供することにある。

【0011】

また、本発明の目的は、Low-k膜にダメージを与えずにレジスト膜をアッシングすることのできる半導体装置の製造方法を提供することにある。

【0012】

本発明の他の目的および利点は、以下の記載から明らかとなるであろう。

【0013】

【課題を解決するための手段】

本発明の半導体装置の製造方法は、導電層が形成された半導体基板の上にストッパー膜を形成する工程と、このストッパー膜の上に低誘電率材料からなる層間絶縁膜を形成する工程と、この層間絶縁膜の上にハードマスクを形成する工程と、このハードマスクの上に所定のパターンを有するレジスト膜を形成する工程と、このレジスト膜をマスクとしてハードマスクおよび層間絶縁膜をエッチングし、ストッパー膜に達する開孔部を形成する工程と、レジスト膜を残した状態で開孔部に露出しているストッパー膜をエッチングしビアホールを形成する工程と、ビアホールを形成した後にレジスト膜をアッシングして除去する工程とを有することを特徴としている。

【0014】

本発明の半導体装置の製造方法は、ビアホールの内面にバリアメタル膜を形成

する工程と、ビアホールの内部にバリアメタル膜を介して銅層を埋め込む工程とをさらに有することができる。

【0015】

本発明の半導体装置の製造方法において、アッシングは、水素と不活性ガスとの混合ガスを用いて200℃～400℃の温度で行われることが好ましい。このとき、不活性ガスに対して水素を1体積%～10体積%混合することが好ましい。また、導電層は銅配線層であることが好ましい。層間絶縁膜としては、多孔性SiO₂膜、SiOC膜およびSOG膜よりなる群から選ばれる1の膜を用いることができる。ストッパー膜としては、SiC膜、Si_xN_y膜、SiCN膜およびSiOC膜よりなる群から選ばれる1の膜を用いることができる。ハードマスクとしては、SiO₂膜またはSi_xN_y膜を用いることができる。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照しながら詳細に説明する。

【0017】

図1(a)～(f)は、本実施の形態における半導体装置の製造方法を示す断面図である。図1(a)に示すように、導電層としての銅配線層1が形成された半導体基板2の上に、ストッパー膜3を形成する。ここで、銅配線層1は、バリアメタル膜4および銅層5を有している。尚、本実施の形態においては、銅配線層以外の他の導電層が形成されていてもよい。例えば、銅以外の他の金属の配線層または不純物ドーピング領域などが半導体基板に形成されていてもよい。

【0018】

半導体基板2としては、例えばシリコン基板などを用いることができる。また、ストッパー層3は、上に形成される層間絶縁膜とのエッチング選択比が大きい材料を用いることが好ましい。具体的には、層間絶縁膜の種類に応じて適宜決定されるが、例えば、SiC膜、Si_xN_y（例えば、Si₃N₄、Si₂N₃、SiNなど。）膜、SiCN膜またはSiOC膜などを用いることができる。これらの膜は、CVD（Chemical Vapor Deposition, 以下、CVDという。）法またはスパッタ法などによって成膜することができる。

。

【0019】

次に、図1(b)に示すように、ストッパー膜3の上に層間絶縁膜6およびハードマスク7を順に形成する。

【0020】

層間絶縁膜6は、低誘電率材料からなる絶縁膜(Low-k膜)であることが好ましい。例えば、多孔性 SiO_2 膜、 SiOC 膜または SOG (Spin on Glass)膜などを用いることができる。また、 SOG 膜の材料としては、例えば、水素シルセスキオキサン(HSQ)またはメチルシルセスキオキサン(MSQ)などを挙げるることができる。これらの膜は、 CVD 法または SOD (Spin on Dielectric Coating)法などによって成膜することができる。

【0021】

ハードマスク7は、後述するレジスト膜の形成の際に層間絶縁膜6がエッチングされるのを防ぐ役割を有する。ハードマスク7としては、例えば、 CVD 法またはスパッタ法などによって成膜された、 SiO_2 膜または Si_xN_y (例えば、 Si_3N_4 、 Si_2N_3 、 SiN など。)膜などを用いることができる。

【0022】

ハードマスク7を形成した後は、この上に所定のパターンを有するレジスト膜8を形成して、図1(c)に示す構造とする。具体的には、ハードマスク7の上にフォトリソを塗布した後、これを露光・現像することによってレジスト膜8を形成することができる。

【0023】

次に、レジスト膜8をマスクとして、ハードマスク7および層間絶縁膜6を異方性エッチングして開孔部9を形成する。このエッチングは、ストッパー膜3に達した時点で自動的に停止する。そして、図1(d)に示すように、ストッパー膜3の一部3aが開孔部9に露出する。

【0024】

エッチング装置としては、例えば、上部電極と下部電極にそれぞれ60MHz

と 2 MHz の高周波を印加することのできる 2 周波励起平行平板型リアクティブイオンエッチャーを用いることができる。具体的には、オクタフルオロブテン (C_4F_8)、窒素 (N_2) およびアルゴン (Ar) からなる混合ガスをエッチングガスとして装置内に導き、圧力を 75 mT に維持した状態で、上部電極に 2, 400 W、下部電極に 3, 300 W の電力をそれぞれ印加してプラズマを発生させる。この際、エッチングガスの流量比を、例えば、オクタフルオロブテンについて 15 sccm、窒素について 225 sccm、アルゴンについて 1, 400 sccm とすることができる。また、半導体基板を載置するステージの表面温度を 40 °C に維持することができる。

【0025】

ハードマスク 7 および層間絶縁膜 6 のエッチングには、上記の混合ガス以外のガスを用いることもできる。例えば、テトラフルオロメタン (CF_4)、ジフルオロメタン (CH_2F_2)、ネオン (Ne) およびアルゴン (Ar) からなる混合ガスを用いてもよい。

【0026】

ハードマスク 7 および層間絶縁膜 6 のエッチングが終了した後は、開孔部 9 に露出したストッパー膜 3 a のエッチングを行い、ビアホールを形成する。本実施の形態においては、レジスト膜 8 を残した状態でストッパー膜 3 a のエッチングを行うことを特徴としている。

【0027】

ストッパー膜 3 a のエッチングは、ハードマスク 7 および層間絶縁膜 6 のエッチングに続いて行うことが好ましい。具体的には、同一のエッチング装置を用い、連続した工程で行うことが好ましい。このようにすることによって、半導体装置の製造工程におけるスループットの向上を図ることができるとともに、異物の付着などを防いで歩留まりを向上させることが可能となる。

【0028】

例えば、上記の 2 周波励起平行平板型リアクティブイオンエッチャー内に、テトラフルオロメタン (CF_4) と窒素 (N_2) との混合ガスを導き、圧力を 150 mT に維持した状態で、上部電極に 1, 000 W、下部電極に 200 W の電力

をそれぞれ印加してプラズマを発生させる。この際、エッチングガスの流量比を、例えば、テトラフルオロメタンについて 50 s c c m、窒素について 300 s c c m とすることができる。また、半導体基板を載置するステージの表面温度を 40℃ に維持することができる。

【0029】

このように、本実施の形態によれば、ハードマスク 7 の上にレジスト膜 8 がある状態でエッチングを行うので、ハードマスク 7 がエッチングされるのを防ぐことができる。また、これによって、ハードマスク 7 の下地である層間絶縁膜 6 がエッチングされるのを防ぐこともできる。したがって、ハードマスク 7 および層間絶縁膜 6 がテーパ形状に加工されるのを防いで、良好なパターンニング性を有するビアホールを形成することができる。

【0030】

ストッパー膜 3 a をエッチングした後は、不要となったレジスト膜 8 をアッシングにより除去して、図 1 (e) に示すビアホール 10 を形成する。ここで、ビアホール 10 の底面には、下層の銅配線層 1 の表面が露出している。

【0031】

ところで、ストッパー膜のエッチング前にレジスト膜のアッシングを行う従来法においては、例えば、酸素 (O_2) ガス、アンモニア (NH_3) ガス、または窒素 (N_2) と水素 (H_2) との混合ガスなどを用い、常温以下の温度および 0.1 T o r r 以下の圧力でアッシングを行っていた。一方、層間絶縁膜は、その誘電率が低いほど膜の緻密性が低下するために、アッシングによってクラックが入ったりするなどの損傷を受けやすい。上記の従来条件では層間絶縁膜が受けるダメージは大きく、特に、誘電率が 2.5 未満の多孔質膜ではダメージが顕著なものとなる。

【0032】

本発明者は、鋭意研究した結果、水素と不活性ガスとの混合ガスを用い、常温より高い温度においてアッシングを行うことにより、層間絶縁膜の損傷を防ぐことができることを見出した。この場合、不活性ガスに対して水素を 1 体積%～10 体積%の範囲内で混合することが好ましい。水素の量が 1 体積%より少なくな

ったり 10 体積%より多くなったりすると、アッシングの速度が遅くなるのでスループットの点から好ましくない。尚、不活性ガスとしては、ヘリウム (He) またはアルゴン (Ar) などの水素と反応し難いガスを用いることができる。

【0033】

アッシングの際の温度は常温より高い温度であることが好ましく、特に、200℃～400℃の範囲内の温度であることが好ましい。200℃より低い温度では、アッシングの速度が遅くなりスループットが低下する。一方、400℃より高い温度では、銅の酸化および拡散が激しくなる。尚、アッシングの際の圧力は温度に応じて適宜設定することが好ましいが、上記の温度範囲内であれば 0.1 Torr～10 Torr の範囲内とすることがスループットの点から好ましい。

【0034】

以上の工程によって層間絶縁膜 6 にビアホール 10 を形成した後は、フォトリソグラフィ法によってビアホール 10 の上に配線溝 11 を形成する。続いて、ビアホール 10 および配線溝 11 の内面にバリアメタル膜 12 を形成し、バリアメタル膜 12 を介してこれらの内部に銅層 13 の埋込みを行うことによって、ビアプラグ 14 および銅配線層 15 を形成する (図 1 (f))。この工程は、具体的には、次のようにして行うことができる。

【0035】

まず、CVD法またはスパッタ法などによって、窒化チタン膜または窒化タンタル膜などのバリアメタル膜を成膜した後、この上にさらに銅層を成膜する。続いて、化学機械研磨 (Chemical Mechanical Polishing, 以下、CMP という。) 法によって、銅層およびバリアメタル膜の研磨を行う。これにより、ビアホールおよび配線溝の内部にのみ、銅層およびバリアメタル膜が残るようにすることができる。

【0036】

バリアメタル膜の形成および銅層の埋め込みは、他の方法によって行ってもよい。例えば、CVD法およびCMP法によってバリアメタルを配線溝の内部にのみ形成した後、硫酸銅 (CuSO₄) をベースとした電解液を用いるめっき法によって、配線溝の内部に銅を埋め込んでもよい。

【0037】

以上の工程によって、銅配線層 1 を有する半導体基板 2 の上に、ビアプラグ 14 および銅配線層 15 を形成することができる（図 1（f））。ここで、銅配線層 15 は、ビアプラグ 14 を介して銅配線層 1 と電氣的に接続している。

【0038】**【発明の効果】**

本発明によれば、レジスト膜を残した状態でストッパー膜のエッチングを行うので、ハードマスクおよび層間絶縁膜がエッチングされるのを防いで、良好なパターン形状を有する半導体装置を製造することができる。

【0039】

また、本発明によれば、レジスト膜除去のためのアッシングを水素と不活性ガスとの混合ガスを用いて常温より高い温度で行うので、層間絶縁膜の損傷を防いで良好な特性を有する半導体装置を製造することができる。

【図面の簡単な説明】

【図 1】 (a) ～ (f) は、本実施の形態における半導体装置の製造工程を示す断面図である。

【図 2】 (a) ～ (d) は、従来の半導体装置の製造工程を示す断面図である。

【図 3】 (a) ～ (c) は、従来の半導体装置の製造工程を示す断面図である。

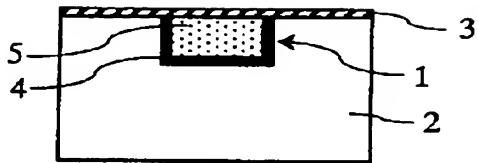
【符号の説明】

1, 15, 20, 30 銅配線層、 2 半導体基板、 3, 22 ストッパー膜、 4, 12, 27 バリアメタル膜、 5, 13, 28 銅層、 6, 23 層間絶縁膜、 7, 24 ハードマスク、 8, 31 レジスト膜、 9, 32 開孔部、 10, 25, 33 ビアホール、 11, 26 配線溝、 14, 29 ビアプラグ、 21 シリコン基板。

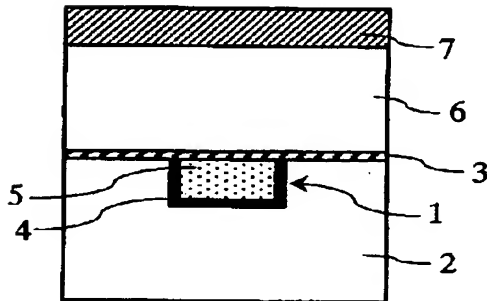
【書類名】 図面

【図 1】

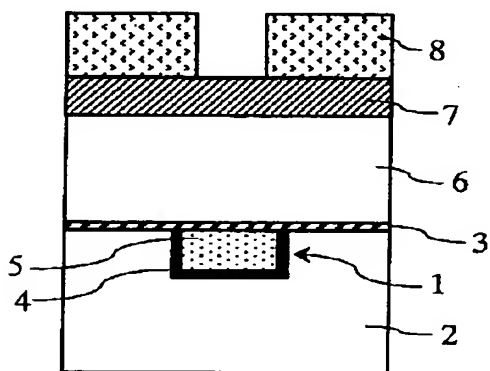
(a)



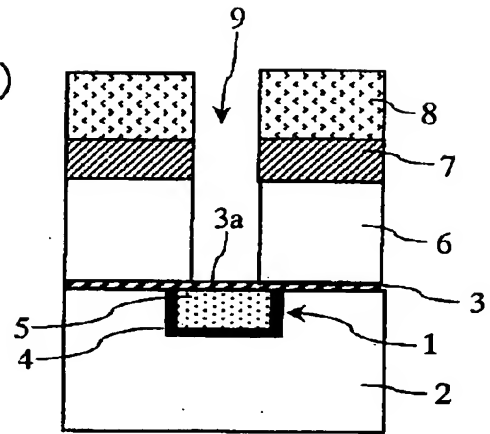
(b)



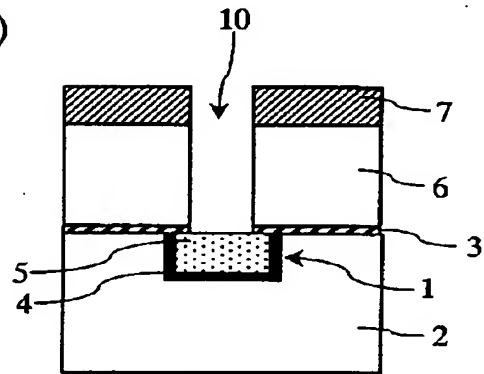
(c)



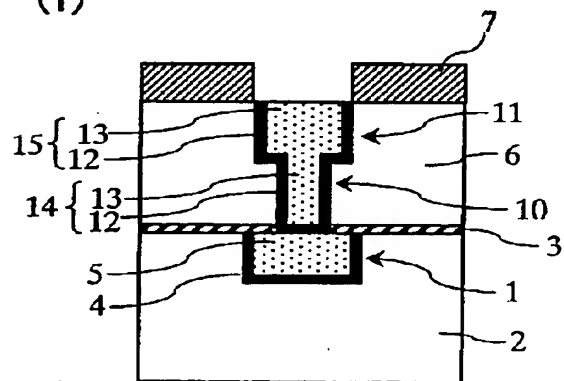
(d)



(e)

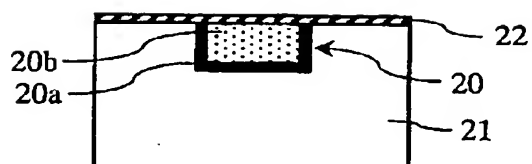


(f)

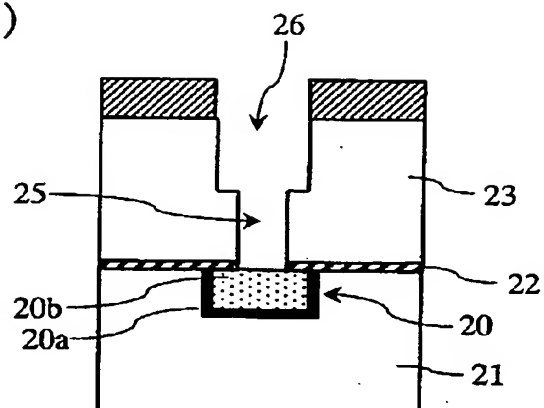


【図 2】

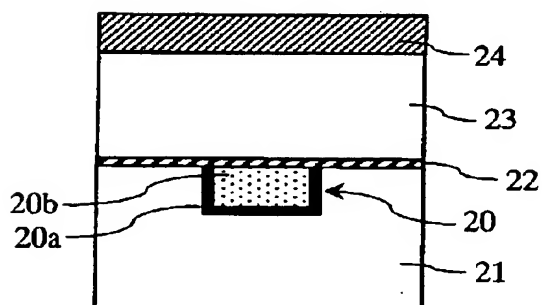
(a)



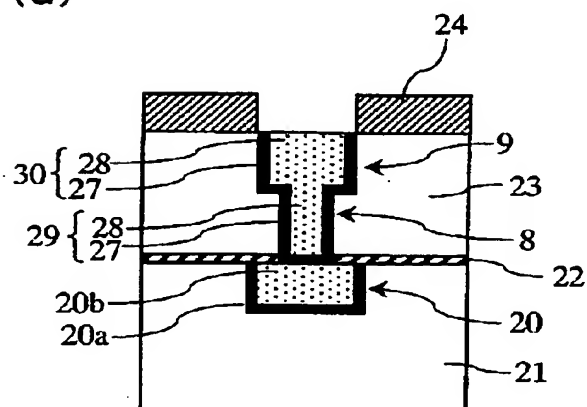
(c)



(b)

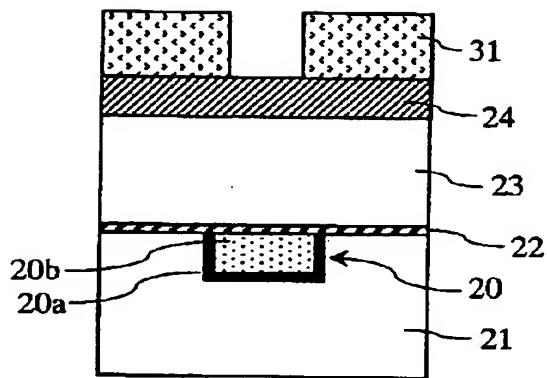


(d)

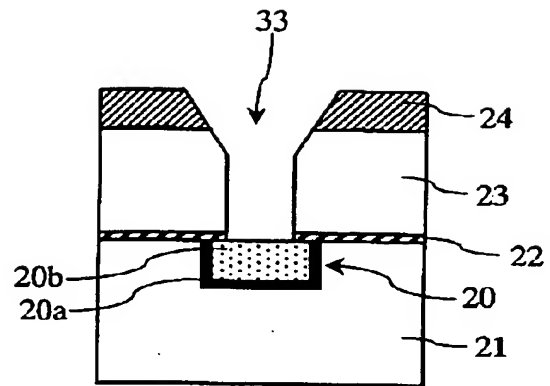


【図 3】

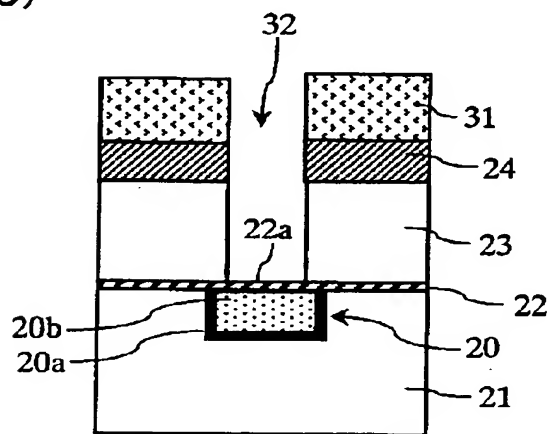
(a)



(c)



(b)



【書類名】 要約書

【要約】

【課題】 パターン形状の良好な銅配線を形成するとともに、Low-k膜にダメージを与えずにレジスト膜をアッシングすることのできる半導体装置の製造方法を提供する。

【解決手段】 銅配線層1が形成された半導体基板2の上にストッパー膜3を形成した後、ストッパー膜3の上に低誘電率材料からなる層間絶縁膜6を形成する。さらに、層間絶縁膜6の上にハードマスク7を形成した後、ハードマスク7の上に所定のパターンを有するレジスト膜8を形成する。レジスト膜8をマスクとしてハードマスク7および層間絶縁膜6をエッチングし、ストッパー膜3に達する開孔部9を形成する。続いて、レジスト膜8を残した状態で開孔部9に露出しているストッパー膜3aをエッチングしてビアホール10を形成した後、レジスト膜8をアッシングして除去する。

【選択図】 図1

特願 2 0 0 3 - 1 4 3 3 0 2

出 願 人 履 歴 情 報

識別番号 [5 9 7 1 1 4 9 2 6]

1. 変更年月日 2 0 0 2 年 4 月 1 0 日

[変更理由] 住所変更

住 所 茨城県つくば市小野川 1 6 番地 1

氏 名 株式会社半導体先端テクノロジーズ